

PATENT ABSTRACTS OF JAPAN

03-9805-TS-B (7)

(11)Publication number : 05-291507

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

H01L 27/04

H01L 27/06

(21)Application number : 04-085163

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.04.1992

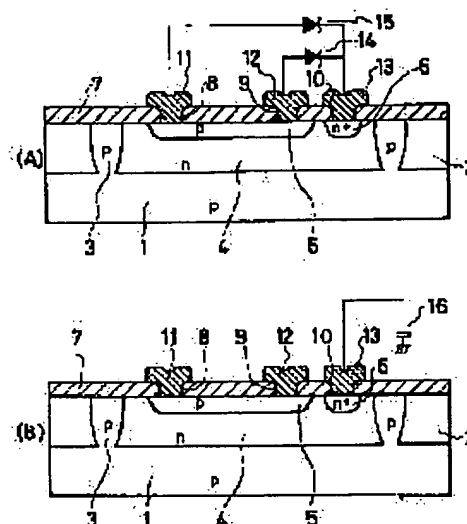
(72)Inventor : FUNAKI TETSUJI
NISHIZONO KAZUNORI
KOKUBU MASATOSHI
WATAI TAKAHIRO

(54) DIFFUSED RESISTOR

(57)Abstract:

PURPOSE: To prohibit the operation of a parasitic transistor composed of the diffused resistance region, the island region and the semiconductor substrate of a semiconductor device such as a bipolar transistor.

CONSTITUTION: A semiconductor substrate 1, an island region 4 which is separated from the semiconductor substrate 1 by a p-n junction and a resistance region 5 which is formed in the island region 4 and has a conductivity type opposite to that of the island region 4 are provided. Diodes 14 and 15 such as Schottky diodes which have forward voltages lower than the operating voltage of a parasitic transistor composed of the semiconductor substrate 1, the island region 4 and the resistance region 5 are connected between the island region 4 and the resistance region 5 to prevent the operating voltage of the parasitic transistor from being applied to the island region 4 which is the base of the parasitic transistor. (A). Or, the island region 4 is connected to a power supply or a ground through a capacitor 16 to prevent the operating voltage of the parasitic transistor from being applied to the island region 4 which is the base of the parasitic transistor (B).



LEGAL STATUS

[Date of request for examination] 05.04.1999

[Date of sending the examiner's decision of rejection] 08.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-291507

(43) 公開日 平成5年(1993)11月5日

(51) Int. Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/04

R 8427-4 M

27/06

7210-4 M

H 0 1 L 27/06

1 0 1 D

審査請求 未請求 請求項の数 7

(全 8 頁)

(21) 出願番号 特願平4-85163

(22) 出願日 平成4年(1992)4月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 船木 哲司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 西薨 和則

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 国分 政利

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

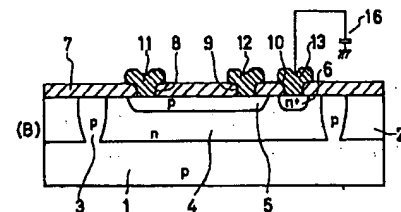
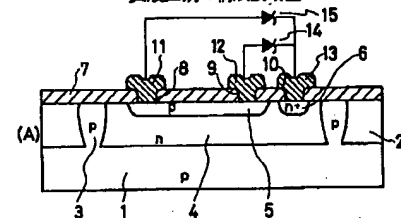
最終頁に続く

(54) 【発明の名称】 拡散抵抗

(57) 【要約】

【目的】 拡散抵抗とその拡散抵抗を用いたバイポーラ集積回路装置等の半導体装置に関し、高電圧信号が加わっても、抵抗領域-島領域-半導体基板によって構成される寄生トランジスタが動作しない拡散抵抗と半導体装置を提供する。

【構成】 半導体基板1と、この半導体基板1とpn接合分離された島領域4と、この島領域4に形成された島領域4とは逆導電型の抵抗領域5を有し、この島領域4と抵抗領域5の間に、この寄生トランジスタの動作電圧より低い順方向電圧を有するショットキーダイオード等のダイオード14、15を接続して、寄生トランジスタのベースとなる島領域4に寄生トランジスタの動作可能な電圧がかからないようにした(図1(A))。また、この島領域4を容量16を介して電源もしくはグラウンドに接続して、寄生トランジスタのベースとなる島領域4に寄生トランジスタの動作電圧がかからないようにした(図1(B))。

第1実施例および第2実施例の
拡散抵抗の構成説明図

- 1: p型半導体基板
2: n型エピタキシャル成長層
3: p型導電分離領域
4: n型島領域
5: p型抵抗領域
6: n⁺コンタクト領域
7: 絶縁膜
8, 9, 10: コンタクトホール
11, 12, 13: 電極
14, 15: ショットキーダイオード
16: 容量

【特許請求の範囲】

【請求項1】 半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域と該抵抗領域の高電圧端の間に、該半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有するダイオードを順方向に接続されてなることを特徴とする拡散抵抗。

【請求項2】 半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域と該抵抗領域の両端との間に、該半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有するダイオードをそれぞれ順方向に接続されてなることを特徴とする拡散抵抗。

【請求項3】 半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有するダイオードが、抵抗領域が形成されている島領域内に形成されてなることを特徴とする請求項1または請求項2に記載の拡散抵抗。

【請求項4】 半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有するダイオードが、ガードリングを有することを特徴とする請求項3に記載の拡散抵抗。

【請求項5】 半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域を容量を介して電源もしくはグラウンドに接続されてなることを特徴とする拡散抵抗。

【請求項6】 島領域を電源もしくはグラウンドに接続する容量が集積回路内部に形成されていることを特徴とする請求項5に記載の拡散抵抗。

【請求項7】 島領域を電源もしくはグラウンドに接続する容量が外付け部品によって形成されていることを特徴とする請求項5に記載の拡散抵抗。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、拡散抵抗およびそれを用いたバイポーラ集積回路装置等の半導体装置に関する。

【0002】

【従来の技術】 従来、集積化された半導体装置においては、pn接合によって回路素子を形成する島領域を形成し、その島領域に抵抗、容量等の受動回路素子、トランジスタ等の能動回路素子を形成することが多用されている。図5(A)、(B)は、従来の拡散抵抗の一例の構成説明図である。この図において、61はp型半導体基板、62はn型エピタキシャル成長層、63はp型素子分離領域、64はn型島領域、65はp型抵抗領域、66は絶縁膜、67、68はコンタクトホール、69、70は配線層である。

【0003】 この図は、従来の集積化半導体装置の拡散抵抗が形成されている部分を示し、図5(A)は断面図、図5(B)はその等価回路を示している。

【0004】 まず、従来の拡散抵抗の構成を説明すると、図5(A)に示されるように、p型半導体基板61の上にn型エピタキシャル成長層62を形成し、このn型エピタキシャル成長層62の表面から選択的にp型不純物を拡散してp型素子分離領域63を形成して素子を形成するn型島領域64を画定し、このn型島領域64にp型不純物を導入することによってp型抵抗領域65を形成し、その上に絶縁膜66を形成し、この絶縁膜66のp型抵抗領域65の両端に相当する部分にコンタクトホール67、68を形成し、このコンタクトホール67、68を介して配線層69、70を形成している。

【0005】 上記のn型島領域と同様の他のn型島領域に、トランジスタ等の能動回路素子や容量等の受動回路素子が形成されて集積回路装置が構成される。そして、各n型島領域に形成された回路素子は、素子間分離領域に集積回路内の最も低い電圧(Most Negative Voltage)が与えられて互いに電気的に分離される。なおn型半導体基板を用い、p型島領域が形成される場合は、印加する電圧の関係を逆にすることによってこれと同様の効果を生じる。

【0006】 図5(A)示された拡散抵抗において問題になるのは、図5(B)に示されるように、p型半導体基板61-n型島領域64-p型抵抗領域65によって寄生pnpトランジスタが形成されることである。

【0007】 この寄生pnpトランジスタが何らかの電圧の変動によって動作して、p型抵抗領域65とp型半導体基板61の間を導通すると、p型抵抗領域65の抵抗値が設計値から外れるばかりでなく、このp型抵抗領域65を含む集積回路が誤動作する恐れがある。

【0008】 通常は、この寄生pnpトランジスタを動作させないように、p型抵抗領域65を形成しているn型島領域64に集積回路の最も高い電圧(Most positive Voltage)を与えるか、n型島領域64をp型抵抗領域65の電位の高い側と短絡される。

40 【0009】

【発明が解決しようとする課題】 しかしながら、このように寄生pnpトランジスタを動作させないように、p型抵抗領域65が形成されているn型島領域64に集積回路の最も高い電圧を与えていても、センサーに接続される集積回路等においては、この最も高い電圧よりも高いピーク電圧値をもつ大振幅の交流信号が入力されることがあり、そのような場合は、寄生pnpトランジスタが動作し、集積回路を誤動作させるおそれがある。

【0010】 図6は、電話交換機におけるリングトリップ回路説明図である。この回路は、電話交換機におけ

る、 Tr_1 、 Tr_2 、 Tr_3 からなるカレントミラー構成を採用したリングトリップ回路の一例であるが、回路自体が最高電圧10～20V程度で設計されているのに対して、入力端に加わるベル信号のピーク電圧は100V～120Vに達するため、このベル信号によって、入力端に接続される拡散抵抗Rと、この拡散抵抗を形成しているエピタキシャル層と半導体基板とによって構成される寄生トランジスタが動作し、拡散抵抗Rと半導体基板を導通させるため、この抵抗を含む集積回路を誤動作させることになる。

【0011】このような場合には、抵抗として個別抵抗素子を用いるほかはないが、そのようにすると高集積化する上で障害になる。また誘電体分離技術を用いて抵抗領域を分離することも考えられるが、この方法はコスト高を招くため現実的でない。

【0012】本発明は、高電圧信号が加わっても、抵抗領域—島領域—半導体基板によって構成される寄生トランジスタが動作しない拡散抵抗あるいはそれを用いた半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明にかかる拡散抵抗においては、半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域と該抵抗領域の高電圧端、または、該島領域と該抵抗領域の両端の間に、該半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有する、ショットキーダイオードのようなダイオードを順方向に接続された構成を採用した。

【0014】本発明にかかる他の拡散抵抗においては、半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域を容量を介して電源もしくはグラウンドに接続された構成を採用した。

【0015】

【作用】本発明の拡散抵抗においては、半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域と該抵抗領域の高電圧端、または、該島領域と該抵抗領域の両端の間に、半導体基板と島領域と抵抗領域とで形成される寄生トランジスタの動作電圧より低い順方向電圧を有する、ショットキーダイオードのようなダイオードを順方向に接続することによって、寄生トランジスタのエミッタ電極になる拡散抵抗とベース電極になる島領域の間の電位差が、そのダイオードの順方向電圧である0.3～0.4V程度に固定されるため、通常0.6～0.8Vである寄生トランジスタの動作電圧に達することがなく、この寄生トランジスタが動作することによる集積回路の誤動作を防ぐことができる。

【0016】また、本発明の他の拡散抵抗においては、

半導体基板と、該半導体基板とpn接合分離された島領域と、該島領域に形成された島領域とは逆導電型の抵抗領域を有し、該島領域を容量を介して電源もしくはグラウンドに接続することによって、島領域の電位が交流信号の最高電位から V_{BE} だけ低い電位にピークホールドされるために、この寄生トランジスタが動作せず、この抵抗を含む半導体回路の誤動作を防ぐことができる。

【0017】

【実施例】以下、本発明の実施例の拡散抵抗とこの拡散抵抗を用いた半導体装置について説明する。図1

(A)、(B)は、第1実施例および第2実施例の拡散抵抗の構成説明図である。この図において、1はp型半導体基板、2はn型エピタキシャル成長層、3はp型素子分離領域、4はn型島領域、5はp型抵抗領域、6は n^+ コンタクト領域、7は絶縁膜、8、9、10はコンタクトホール、11、12、13は電極、14、15はショットキーダイオード、16は容量である。

【0018】(第1実施例)図1(A)は、第1実施例の拡散抵抗の構成説明図である。この実施例の拡散抵抗においては、p型半導体基板1の上にn型エピタキシャル成長層2を形成し、このn型エピタキシャル成長層2の表面から選択的にp型不純物を拡散してp型素子分離領域3を形成して拡散抵抗を形成するためのn型島領域4を画定し、このn型島領域4にp型不純物を導入することによってp型抵抗領域5を形成し、n型島領域4の一部にn型不純物を型濃度に導入することによって n^+ コンタクト領域6を形成し、その上に絶縁膜7を形成した後、この絶縁膜7のp型抵抗領域5の両端に相当する部分およびn型島領域4の n^+ コンタクト領域6に相当する部分にコンタクトホール8、9、10を形成し、これらのコンタクトホールを介して電極11、12、13を形成し、n型島領域4の n^+ コンタクト領域6に形成された電極13とp型抵抗領域5の両端に形成された電極11、12の間に、ショットキーダイオード14、15を順方向に接続している。

【0019】このように構成すると、p型抵抗領域5のどの端部の電極11、12に大振幅の信号が印加されても、それぞれの電極11、12からn型島領域4に形成された電極13に0.3～0.4V程度の順方向電圧を有するショットキーダイオード14、15が接続されているから、n型島領域4からp型抵抗領域5をみた電圧差が0.3～0.4V程度に維持され、p型抵抗領域5—n型島領域4—p型半導体基板1によって構成される寄生トランジスタを動作させることがなく、この拡散抵抗を構成回路素子の一部として用いた半導体装置を誤動作させることがない。

【0020】なお、上記の実施例とは逆に、n型半導体基板の上にp型島領域を形成し、その上にn型抵抗領域を形成した場合は、ショットキーダイオードの極性を逆にするによって前記と同様の効果を得ることができ

る。

【0021】図2(A), (B)は、第1実施例の動作原理説明図である。この図において使用した符号は図1において同符号を付して説明したものと同一である。

【0022】この実施例の拡散抵抗は、図1(A)によって説明したように、p型半導体基板1の上に形成されたn型エピタキシャル成長層2にp型素子分離領域3を形成してn型島領域4を形成し、このn型島領域4にp型不純物を導入してp型抵抗領域5を形成している。

【0023】そして、図1(A)のように、p型抵抗領域5とn型島領域4の間にショットキーダイオード14を順方向に接続すると、等価的には、図2(A)のように、p型抵抗領域5をエミッタEとし、n型島領域4をベースBとし、p型半導体基板1をコレクタCとする寄生トランジスタが形成され、この寄生トランジスタのエミッタEとベースBの間にショットキーダイオード14が順方向に接続されることになる。

【0024】したがって、図2(B)に示されるように、p型抵抗領域5である寄生トランジスタのエミッタEに正の高電圧の入力信号が加わった場合には、ショットキーダイオード14に順方向電流が流れて、寄生トランジスタのエミッタEとベースBの間の電圧をショットキーダイオード14の順方向電圧(V_F)である0.3~0.4V程度に維持し、この寄生トランジスタのエミッタとコレクタの間に導通するのを防ぐことができる。

【0025】図3(A)~(E)は、第1実施例におけるショットキーダイオードの構成説明図である。

【0026】この実施例においては、図1(A)に記号で示したとおりショットキーダイオード単体を外付け部品として接続してもよいが、ショットキーダイオードを種々な形態で構成することができる。以下、ショットキーダイオードの構成例を説明する。

【0027】第1構成例(図3(A)参照)

この構成例においては、ショットキーダイオードを抵抗領域を形成する島領域の外に形成している。この図において、21, 23は島領域、22は抵抗領域、24, 25, 26は配線層、27, 28, 29, 30はコンタクトホールである。

【0028】この拡散抵抗は、島領域21に形成された抵抗領域22の両端に配線層24と25がコンタクトホール27, 28によって接続されて抵抗素子を構成し、配線層25が島領域21の外に延びて、他の島領域23に形成されたショットキーダイオードとコンタクトホール29によって接続されている。他の島領域にコンタクトホール30によって接続されている配線層26は島領域21に接続されている。

【0029】第2構成例(図3(B), (C)参照)
図3(B)は平面図、図3(C)はその断面図である。この図において、31は半導体基板、32はエピタキシャル成長層、33は素子間分離領域、34は島領域、35は抵抗領域、36はショットキーダイオード、37は絶縁膜、38, 39, 40はコンタクトホール、41, 42は配線層である。

5は抵抗領域、36はショットキーダイオード、37は絶縁膜、38, 39, 40はコンタクトホール、41, 42は配線層である。

【0030】この構成例においては、半導体基板31の上にエピタキシャル成長層32が形成され、素子間分離領域33によって島領域34が画定され、この島領域34に抵抗領域35が形成されている。

【0031】そして、その上に絶縁膜37が形成され、そのコンタクトホール38と39を通して配線層41と42が接続されている。また、配線層42の一部が絶縁膜37のコンタクトホール40を通して島領域34の表面と接触してその間にショットキーダイオード36が形成されている。この構成例によると、レイアウト的に小面積でショットキーダイオード36を実現することが可能である。

【0032】第3構成例(図3(D), (E)参照)
先の第2構成例のような構造のショットキーダイオードにおいては、逆バイアスされたときにそのエッジ部分でリーク電流を生じやすい。そこで、ショットキーダイオードをガードリングによって包囲してリーク電流を低減することが考えられる。この構成例においては、配線層を利用してショットキーダイオードにガードリングを形成している。

【0033】図3(D)は一部の平面図、図3(E)はその断面図である。この図において、43は半導体基板、44はエピタキシャル成長層、45は素子間分離領域、46は島領域、47は抵抗領域、48はショットキーダイオード、49はガードリング、50は絶縁膜、51, 52はコンタクトホール、53は配線層である。

【0034】この構成例においては、半導体基板43の上にエピタキシャル成長層44が形成され、素子間分離領域45によって島領域46が画定され、この島領域46に抵抗領域47が形成されている。

【0035】そして、その上に絶縁膜50が形成され、そのコンタクトホール51を通して配線層53が接続されている。また、この配線層53は絶縁膜50のコンタクトホール52を通して島領域46の上面と接触してショットキーダイオード48が形成されているが、このショットキーダイオード48の周囲にはp型のガードリング49が形成されており、ショットキーダイオード48に逆バイアスがかかった時に生じるリーク電流を低減する。

【0036】なお、前記の図1(A)においては、抵抗領域の両端にショットキーダイオードを接続して、この抵抗領域のいずれの端部に高電圧が入力しても、寄生トランジスタが動作状態になるのを防いでいるが、入力信号がかかる場所が回路構成から予測できる場合は、その場所と島領域との間に1個のショットキーダイオードを接続することによって所期の目的を達成することができる。

【0037】(第2実施例)図1(B)は、第2実施例の拡散抵抗の構成説明図である。この実施例の拡散抵抗においては、p型半導体基板1の上にn型エピタキシャル成長層2を形成し、表面から選択的にp型不純物を拡散してp型素子分離領域3を形成して抵抗素子等の受動素子、トランジスタ等の能動素子等を形成するためのn型島領域4を画定し、このn型島領域4にp型不純物を導入することによってp型抵抗領域5を形成し、n型島領域4の一部にn型不純物を導入することによってn⁺コンタクト領域6を形成し、その上に絶縁膜7を形成した後、この絶縁膜7のp型抵抗領域5の両端に相当する部分およびn型島領域4に相当する部分にコンタクトホール8、9、10を形成し、これらのコンタクトホールを介して電極11、12、13を形成し、n型島領域4に形成された電極11、13の間で抵抗素子を形成し、コンタクトホール10に形成した電極13を容量16を介してGNDに接続している。

【0038】このようにすると、p型拡散抵抗に大振幅の信号が印加されても、n型島領域4の電圧が、入力信号の最高電位から寄生トランジスタのベースエミッタ間電圧V_{BE}だけ低い値にピークホールドされるため、寄生トランジスタを動作させることがなく、この抵抗を含む半導体回路の誤動作を防ぐことができる。

【0039】図4(A)、(B)は、第2実施例の動作原理説明図である。この図において使用した符号は図1において同符号を付して説明したものと同一である。

【0040】この実施例の拡散抵抗は、図1(B)によって説明したように、p型半導体基板1の上に形成されたn型エピタキシャル成長層2にp型素子分離領域3を形成してn型島領域4を形成し、このn型島領域4にp型不純物を導入してp型抵抗領域5を形成している。

【0041】そして、図1(B)のように、n型島領域4を容量16によってGNDに接続すると、等価的には、図4(A)に示すように、p型抵抗領域5をエミッタEとし、n型島領域4をベースBとし、p型半導体基板1をコレクタCとする寄生トランジスタのベースBとコレクタCの間に容量Caが接続されることになる。

【0042】したがって、図4(B)に示されるように、p型抵抗領域5である寄生トランジスタのエミッタEに正の高電圧の入力信号が加わっても、n型島領域4とp型半導体基板1の間の電圧が、寄生トランジスタの最高電位からV_{BE}だけ下がった所にピークホールドされるため、寄生pnpトランジスタは動作せず、拡散抵抗

を設計通りの抵抗値に維持することができる。

【0043】この容量については入力信号の振幅、周波数とICの耐圧、誘電体の物質、厚さ等の容量を形成する上での要因を加味して、集積回路装置内部に形成するか、外付けで対処するかを決定する。この検討の結果、島領域に端子を設けて容量を外付けすることが必要な場合も生じるが、集積回路内部に誘電体膜を形成し、これを挟んで導電体層を形成して容量を構成することもあり、接合容量で対処できることもある。

【0044】n型半導体基板を用いp型島領域を形成する場合は、p型島領域を容量を介して負電源に接続することによって、上記と同様の効果を得ることができる。

【0045】

【発明の効果】以上説明したように、本発明によると抵抗領域に集積回路内部の電源電圧よりも大きな信号が入力した場合でも、寄生トランジスタ効果が発生することがなく、設計通りの抵抗値を維持することができ、集積回路全体として確実な動作を実現することができる。

【図面の簡単な説明】

【図1】(A)、(B)は、第1実施例および第2実施例の拡散抵抗の構成説明図である。

【図2】(A)、(B)は、第1実施例の動作原理説明図である。

【図3】(A)～(E)は、第1実施例におけるショットキーダイオードの構成説明図である。

【図4】(A)、(B)は、第2実施例の動作原理説明図である。

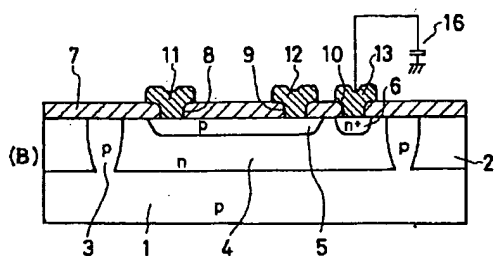
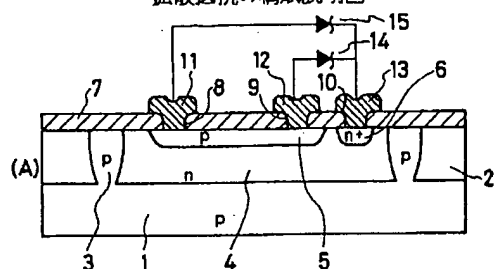
【図5】(A)、(B)は、従来の拡散抵抗の一例の構成説明図である。

【図6】電話交換機におけるリングトリップ回路説明図である。

【符号の説明】

- 1 p型半導体基板
- 2 n型エピタキシャル成長層
- 3 p型素子分離領域
- 4 n型島領域
- 5 p型抵抗領域
- 6 n⁺コンタクト領域
- 7 絶縁膜
- 8, 9, 10 コンタクトホール
- 11, 12, 13 電極
- 14, 15 ショットキーダイオード
- 16 容量

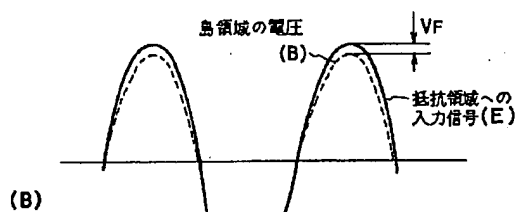
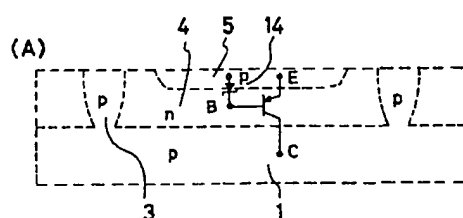
【図1】

第1実施例および第2実施例の
拡散抵抗の構成説明図

- | | |
|-----------------|---------------------|
| 1: p型半導体基板 | 7: 絶縁膜 |
| 2: n型エピタキシャル成長層 | 8, 9, 10: コンタクトホール |
| 3: p型素子分離領域 | 11, 12, 13: 電極 |
| 4: n型島領域 | 14, 15: ショットキーダイオード |
| 5: p型拡散抵抗領域 | 16: 容量 |
| 6: n+コンタクト領域 | |

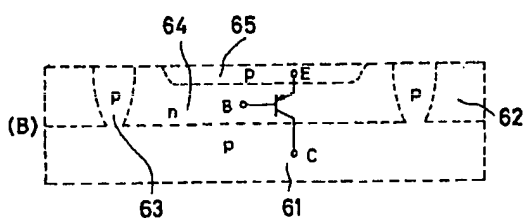
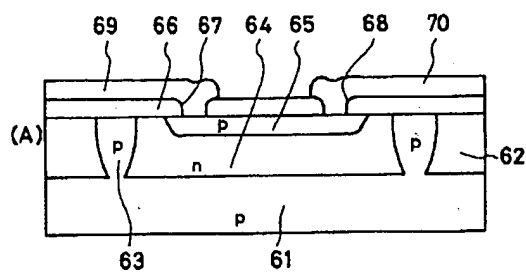
【図2】

第1実施例の動作原理説明図

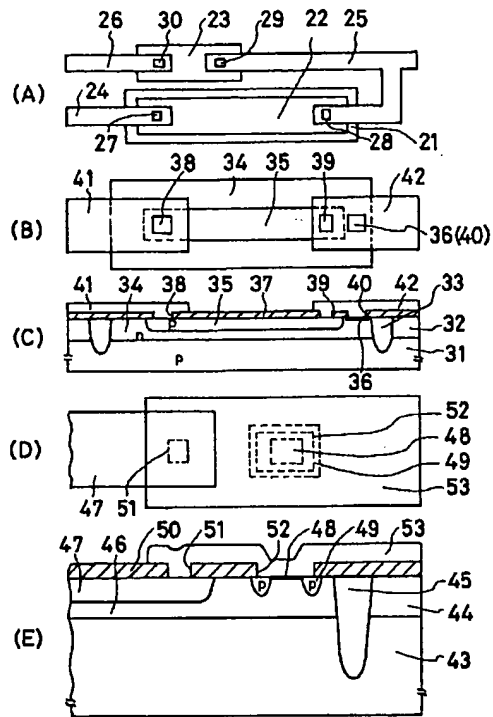


【図5】

従来の拡散抵抗の一例の構成説明図

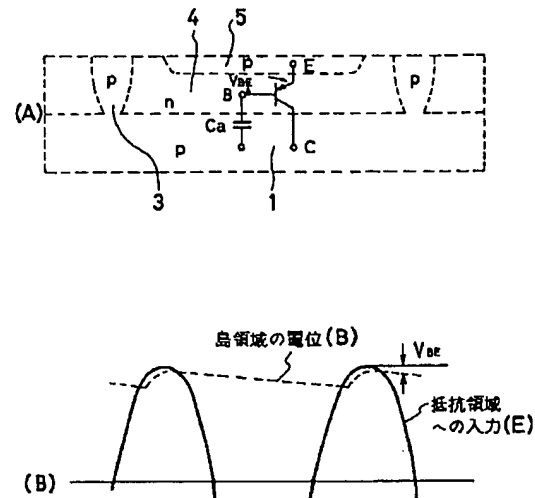


【図3】

第1実施例における
ショットキーダイオードの構成説明図

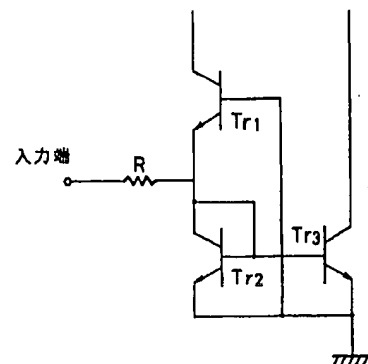
【図4】

第2実施例の動作原理説明図



【図6】

電話交換機におけるリングトリップ回路説明図



フロントページの続き

(72)発明者 渡井 高広

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内